

MS90C366

——+3.3V 175MHz 的 18bit 平板显示器 (FPD) LVDS 信号接收器

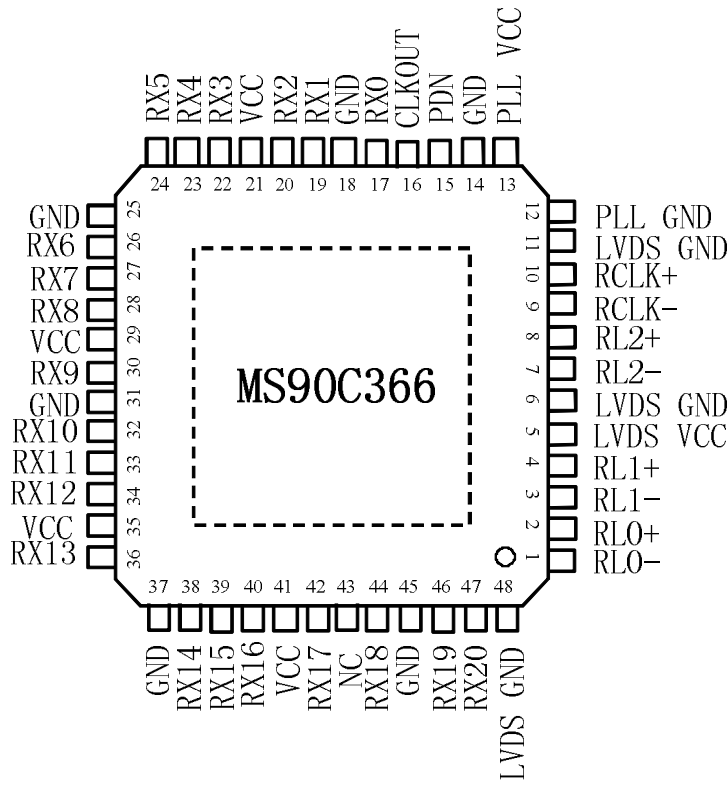
功能概述

MS90C366 芯片能够将 3 通道的低压差分信号 (LVDS) 转换成 21bit 的 TTL 数据。时钟通道经过锁相之后与数据通道并行输出。在时钟频率为 175MHz 时, 18bit 的 RGB 数据、3bit 的 LCD 时序数据以 1225Mbps 的速率在每个 LVDS 数据通道中传输。输入时钟频率为 175MHz 时, 数据的传输速率为 459.3Mbytes/sec。此款芯片是解决高带宽、高速 TTL 信号层面的电磁干扰和电缆长度问题的理想产品。

特点

- 频率范围: 8-175MHz 时钟信号
- 较少的总线减少了连线尺寸和费用
- 供电电源 3.3V
- 低功耗模式
- 支持 VGA、SVGA、XGA、SXGA
- 3.675Gbps 数据吞吐量
- 459.3Megabytes/sec 带宽
- 减小 LVDS 摆幅来减小电磁干扰 (300mV LVDS 摆幅)
- PLL 不需要外部结构
- 遵循 TIA/EIA-644 LVDS 标准
- LQFP48 封装

管脚定义

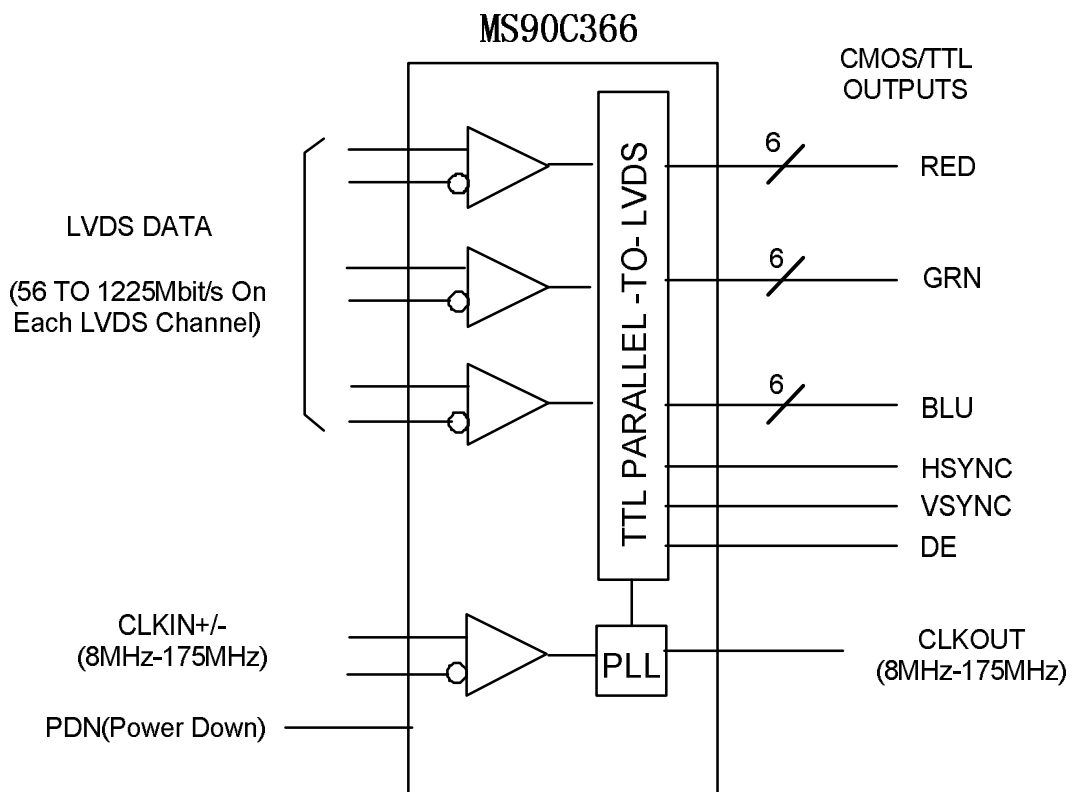


管脚说明

| 管脚名 | 管脚序号 | 管脚类型 | 描述 |
|--------------------|-------------------------------|---------|--|
| RxIN0+, RxIN0- | 2, 1 | LVDS 输入 | LVDS 差分数据输入 |
| RxIN1+, RxIN1- | 4, 3 | LVDS 输入 | |
| RxIN2+, RxIN2- | 8, 7 | LVDS 输入 | |
| RxCLKIN+, RxCLKIN- | 10, 9 | LVDS 输入 | LVDS 差分时钟输入 |
| RxOUT0 ~ RxOUT6 | 17, 19, 20, 22, 23, 24, 26 | 输出 | TTL 级数据输出。 包括：6 RED, 6 GREEN, 6 BLUE, 3 个控制信号 (HSYNC, VSYNC, DE) |
| RxOUT7 ~ RxOUT13 | 27, 28, 30, 32, 33, 34, 36 | 输出 | |
| RxOUT14 ~ RxOUT20 | 38, 39, 40, 42, 44, 46, 47 | 输出 | |
| CLKOUT | 16 | 输出 | TTL 级时钟输出。 |
| PDN | 15 | 输入 | TTL 级输入。高：正常工作 低：低功耗 |
| Vcc | 21, 29, 35, 41 | 电源 | TTL 级输入电源 |
| GND | 14, 18, 25, | 地 | TTL 级输入地 |

| | | | |
|----------|------------|----|-----------|
| | 31, 37, 45 | | |
| LVDS Vcc | 5 | 电源 | LVDS 输出电源 |
| LVDS GND | 6, 11, 48 | 地 | LVDS 输出地 |
| PLL Vcc | 13 | 电源 | PLL 电源 |
| PLL GND | 12 | 地 | PLL 地 |
| NC | 43 | 空置 | 空置 |

结构框图



推荐工作条件

| | |
|----------------|--------------------|
| 电源电压 (VCC) | -0.3V - 4.0V |
| CMOS/TTL 输入电压 | -0.3V - (VCC+0.3V) |
| CMOS/TTL 输出电压 | -0.3V - (VCC+0.3V) |
| LVDS 接收输入电压 | -0.3V - (VCC+0.3V) |
| 结点温度 | +150°C |
| 温度范围 | -40°C - 100°C |
| 瞬间耐温 (焊接, 4 秒) | +260°C |
| 最大功耗 (25°C) | |
| MS90C366 | 1.2W |

电学特性

| 符号 | 参数 | 条件 | Min | Typ | Max | Units |
|----------|--------|---|-----|------|----------|---------|
| V_{IH} | 输入高电平 | | 2.0 | | V_{CC} | V |
| V_{IL} | 输入低电平 | | GND | | 0.8 | V |
| V_{OH} | 输出高电平 | $I_{OH} = -4mA$ (data) $I_{OH} = -8mA$ (clock) | 2.4 | | | V |
| V_{OL} | 输出低电平 | $I_{OL} = 4mA$ (data) $I_{OL} = 8mA$ (clock) | | 0.06 | 0.3 | V |
| I_{IN} | 输入电流 | $0 \leq V_{IN} \leq V_{CC}$ | | | ± 10 | μA |
| I_{OS} | 输出短路电流 | $V_{OUT} = 0V$ | | | -50 | mA |

直流特性

| 符号 | 参数 | 条件 | Min | Typ | Max | Units |
|----------|--------|------------------------------------|------|-----|----------|---------|
| V_{TH} | 差分输入高限 | $V_{OC} = +1.2V$ | | | +100 | mV |
| V_{TL} | 差分输入低限 | | -100 | | | mV |
| I_{IN} | 输入电流 | $V_{IN} = +2.4V/0V, V_{CC} = 3.6V$ | | | ± 10 | μA |

电源电流

| 符号 | 参数 | 条件 | Typ | Max | Units |
|------------|---------------------------|--|-----|-----|---------|
| ICC_{RG} | 接收器供电电流 (16 Grayscale) | $CL = 8pF, f = 90MHz, V_{CC} = 3.3V$ 16 Grayscale Pattern | 60 | 71 | mA |
| ICC_{RW} | 接收器供电电流 (Worst Case) | $CL = 8pF, f = 90MHz, V_{CC} = 3.3V$ Worst Case Pattern | 96 | 102 | mA |
| ICC_{RP} | 接收器供电电流 (Power Down) | PDN=0V | | 10 | μA |

开关特性

| 符号 | 参数 | Min | Typ | Max | Units | |
|--------------------|---------------|--------|----------|------|----------|----|
| T _{RCP} | 输出时钟周期 | 11.1 | T | 125 | ns | |
| T _{RCH} | 输出时钟高电平时间 | | T/2 | | ns | |
| T _{RCL} | 输出时钟低电平时间 | | T/2 | | ns | |
| T _{RS} | 时钟输出建立时间 | 5.0 | | | ns | |
| T _{RH} | 时钟输出保持时间 | 1.0 | | | ns | |
| T _{TLH} | 输出从低到高时间 | | 2 | 3 | ns | |
| T _{THL} | 输出从高到低时间 | | 2 | 3 | ns | |
| T _{RCD} | 时钟输出与差分时钟信号延迟 | | 7.0 | | ns | |
| T _{RDP5} | 接收数据位 0 | 175MHz | -0.4 | 0 | +0.4 | ns |
| T _{RDP6} | 接收数据位 1 | | T/7-0.4 | T/7 | T/7+0.4 | ns |
| T _{RDP0} | 接收数据位 2 | | 2T/7-0.4 | 2T/7 | 2T/7+0.4 | ns |
| T _{RDP1} | 接收数据位 3 | | 3T/7-0.4 | 3T/7 | 3T/7+0.4 | ns |
| T _{RDP2} | 接收数据位 4 | | 4T/7-0.4 | 4T/7 | 4T/7+0.4 | ns |
| T _{RDP3} | 接收数据位 5 | | 5T/7-0.4 | 5T/7 | 5T/7+0.4 | ns |
| T _{RDP4} | 输出数据位 6 | | 6T/7-0.4 | 6T/7 | 6T/7+0.4 | ns |
| T _{TPLLS} | 锁相环设置时间 | - | - | 10 | ms | |

交流时序图

图 1. 测试模板 “Worst Case Pattern”

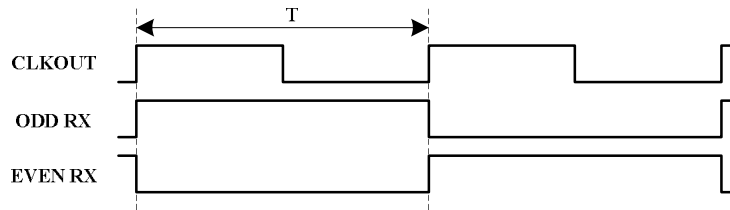


图 2. 测试模板 “16 Grayscale Test Pattern”

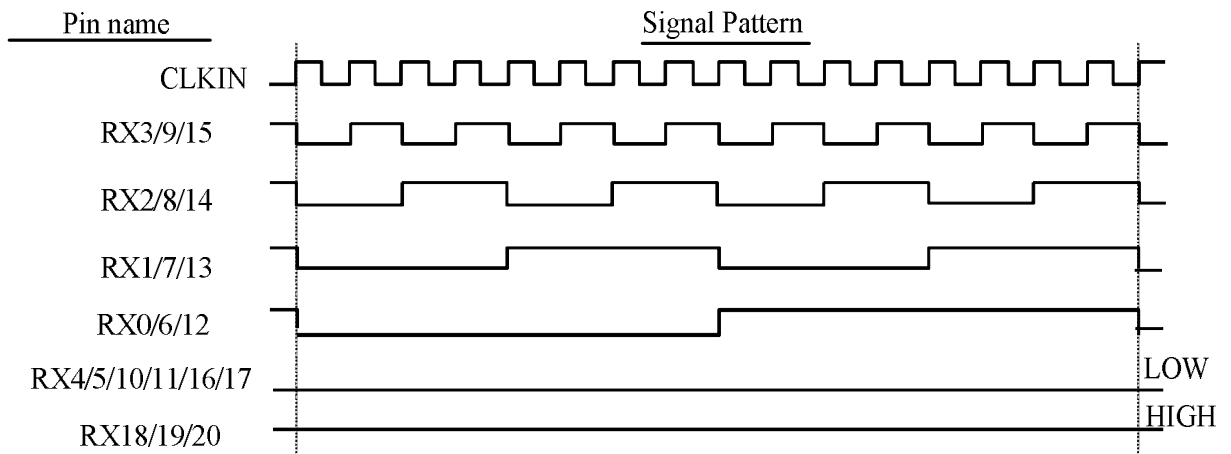


图 3. TTL 输出

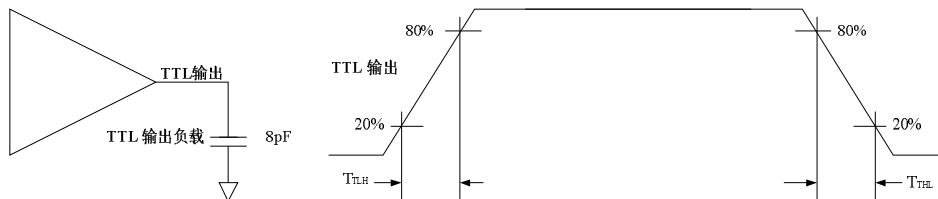


图 4. 锁相环设置时间

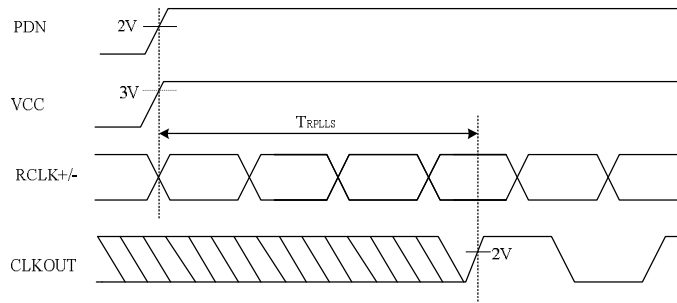
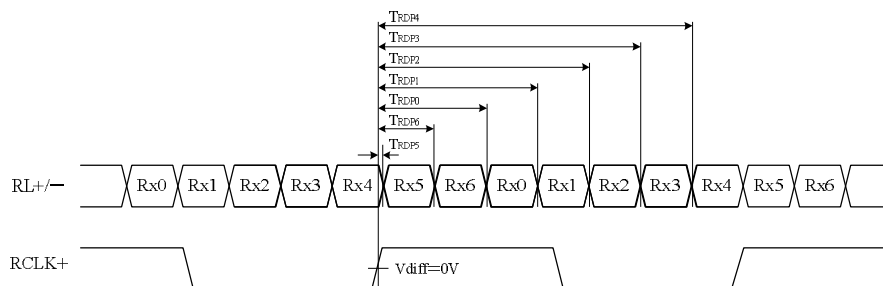


图 5. 接收器状态



$$V_{diff} = (R_{xIN+}) - (R_{xIN-}), \dots, (R_{xCLKIN+}) - (R_{xCLKIN-})$$

图 6. 并行 TTL 输出数据与 LVDS 输入数据匹配关系

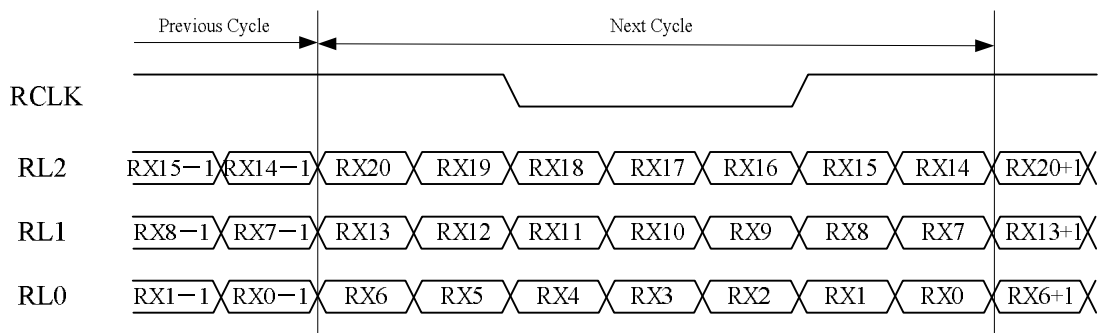
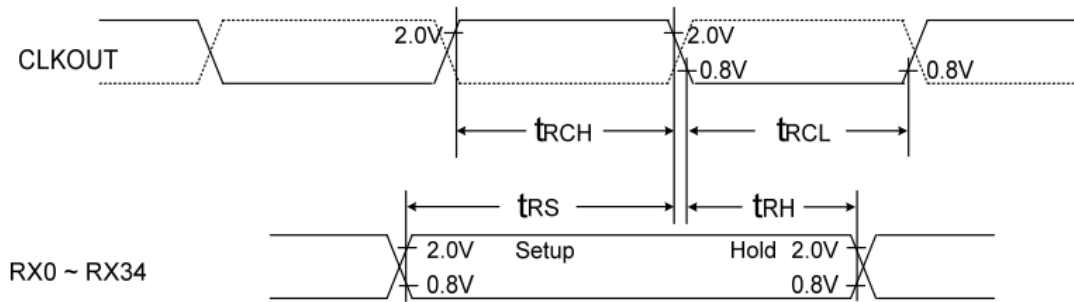
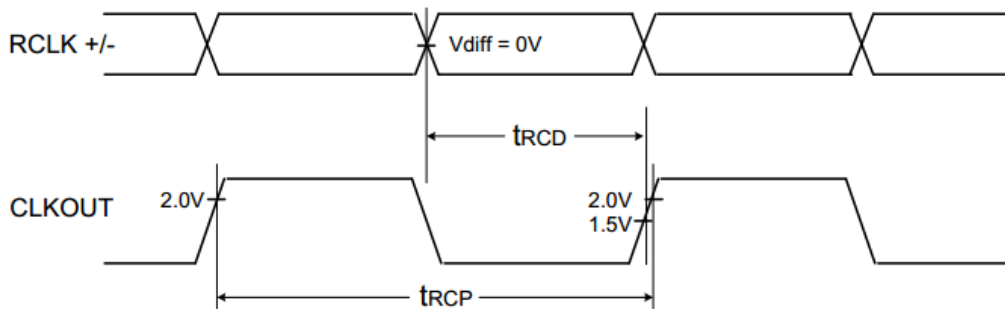


图 7. 上升、下降时间与高电平、低电平保持时间



注：CLKOUT: R_FB=0 实线； R_FB=1 虚线。

图 8. 输入时钟与输出时钟间延迟



封装图

| symbol | Min | Non | Max |
|--------|------|-------|------|
| A | 1.10 | 1.15 | 1.20 |
| A1 | 0.01 | — | 0.21 |
| A2 | 0.9 | 1.0 | 1.1 |
| A3 | — | 0.254 | — |
| b | 0.15 | 0.2 | 0.25 |
| b1 | 0.16 | 0.22 | 0.28 |
| c | — | 0.127 | — |
| D1 | 6.85 | 6.95 | 7.05 |
| D2 | 6.9 | 7.00 | 7.10 |
| E | 8.8 | 9.00 | 9.20 |
| E1 | 6.85 | 6.95 | 7.05 |
| E2 | 6.9 | 7.00 | 7.10 |
| E3 | — | 0.5 | — |
| L | 0.43 | — | 0.71 |
| L1 | 0.90 | 1.0 | 1.10 |
| R | 0.1 | — | 0.25 |
| R1 | 0.1 | — | — |
| θ | 0 | — | 10° |
| θ1 | 0 | — | — |
| y | — | — | 0.1 |
| Z | — | 0.75 | — |

